



PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Minoru Fujishima

Serial No. 10/759,865

Filed: January 15, 2004

For: Frequency Divider, PLL Circuit and
Semiconductor Integrated Circuit

Art Unit: Not Yet Assigned

Examiner: Not Yet Assigned

I hereby certify that this correspondence is being deposited with the United States Postal Service as a first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on March 8, 2004.

Robert E. Richards - Reg. No. 29,105

TRANSMITTAL OF PRIORITY DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith are certified copies of the priority documents for the referenced patent applications: JP2003-007591 and JP 2003-389652.

Respectfully submitted,

Robert E. Richards
Reg. No. 29,105

Kilpatrick Stockton LLP
1100 Peachtree Street, Suite 2800
Atlanta, Georgia 30309
(404) 815-6500
KS File: 44471/296251



JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: January 15, 2003

Application Number: P2003-007591
[ST.10/C]: [JP2003-007591]

Applicant(s): GLINICS INC.

December 10, 2003

Commissioner,
Japan Patent Office Yasuo IMAI

Number of Certificate: 2003-3102348



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 0 7 5 9 1
Application Number:

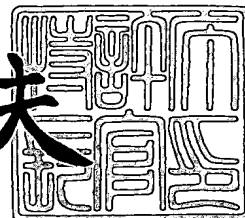
[ST. 10/C] : [J P 2 0 0 3 - 0 0 7 5 9 1]

出 願 人 株式会社グリニクス
Applicant(s):

2 0 0 3 年 1 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 GLN-9

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/18
H03L 7/20

【発明の名称】 周波数分周回路、P L L 回路及び半導体集積回路

【請求項の数】 19

【発明者】

【住所又は居所】 千葉県柏市柏の葉 6 - 3 - 7 柏の葉第 1 住宅 6 0 1 号

【氏名】 藤島 実

【特許出願人】

【識別番号】 501274078

【氏名又は名称】 株式会社 グリニクス

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0115288

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 周波数分周回路、PLL回路及び半導体集積回路

【特許請求の範囲】

【請求項1】 入力信号を分周し、第1の高周波信号を出力する第1の分周回路と、

出力信号を分周し、第3の高周波信号を出力する第3の分周回路と、

前記第1の高周波信号と前記第3の高周波信号とに演算処理を施し、第2の高周波信号を出力するミキサ回路と、

前記第2の高周波信号を分周し、前記出力信号を出力する第2の分周回路

とを備えることを特徴とする周波数分周回路。

【請求項2】 前記第1の分周回路の分周比と前記第3の分周回路の分周比とは等しいことを特徴とする請求項1に記載の周波数分周回路。

【請求項3】 前記ミキサ回路は、前記演算処理として前記第1の高周波信号と前記第3の高周波信号とに減算処理を施すことを特徴とする請求項1に記載の周波数分周回路。

【請求項4】 前記ミキサ回路は、前記演算処理として前記第1の高周波信号と前記第3の高周波信号とに加算処理及び減算処理を施すことを特徴とする請求項1に記載の周波数分周回路。

【請求項5】 前記第3の分周回路と前記ミキサ回路との間に接続されたフィルタ回路を更に備えることを特徴とする請求項1に記載の周波数分周回路。

【請求項6】 前記ミキサ回路と前記第3の分周回路との間に接続されたスイッチ回路を更に備えることを特徴とする請求項1に記載の周波数分周回路。

【請求項7】 前記第2の分周回路と前記第3の分周回路との間に接続されたスイッチ回路を更に備えることを特徴とする請求項1に記載の周波数分周回路。

【請求項8】 前記第2の分周回路の分周比又は前記第3の分周回路の分周比

は可変であることを特徴とする請求項1に記載の周波数分周回路。

【請求項9】 前記第2の分周回路の分周比と前記第3の分周回路の分周比

とはそれぞれ可変であることを特徴とする請求項 1 に記載の周波数分周回路。

【請求項 10】 前記ミキサ回路は、

高位電源に接続される第 1 及び第 2 の負荷抵抗と、

前記第 1 及び第 2 の負荷抵抗と低位電源との間に接続され、第 1 入力ポート及び第 3 入力ポートが接続された第 1 のダブルバランスミキサと、

前記第 1 及び第 2 の負荷抵抗と前記低位電源との間に接続され、第 2 入力ポート及び第 4 入力ポートが接続された第 2 のダブルバランスミキサ

とを備えることを特徴とする請求項 1 に記載の周波数分周回路。

【請求項 11】 前記第 1、第 2、及び第 3 の分周回路は、それぞれ複数段直列接続された第 1、第 2、及び第 3 の $1/2$ 分周器をそれぞれ備えることを特徴とする請求項 1 に記載の周波数分周回路。

【請求項 12】 前記第 1 の $1/2$ 分周器の段数と前記第 3 の $1/2$ 分周器の段数とは等しいことを特徴とする請求項 11 に記載の周波数分周回路。

【請求項 13】 前記第 1 の $1/2$ 分周器は、

第 1 の入力端子に接続されるクロック入力端子、第 2 の出力端子に接続されるデータ入力端子、第 1 の出力端子に接続される反転データ入力端子を有する第 1 のラッチ回路と、

第 2 の入力端子に接続される反転クロック入力端子、前記第 1 のラッチ回路のデータ出力端子に接続されるデータ入力端子、前記第 1 のラッチ回路の反転データ出力端子に接続される反転データ入力端子、前記第 1 の出力端子に接続されるデータ出力端子、前記第 2 の出力端子に接続される反転データ出力端子を有する第 2 のラッチ回路

とを備えることを特徴とする請求項 11 に記載の周波数分周回路。

【請求項 14】 前記第 3 の分周回路の動作を停止させる切り替え信号が前記第 3 の $1/2$ 分周器に入力されることを特徴とする請求項 11 に記載の周波数分周回路。

【請求項 15】 前記第 3 の $1/2$ 分周器は、

前記切り替え信号が入力されるリセット端子、第 1 の入力端子に接続されるクロック入力端子、第 2 の出力端子に接続されるデータ入力端子、第 1 の出力端子

に接続される反転データ入力端子を有する第1のラッチ回路と、

前記切り替え信号が入力されるリセット端子、第2の入力端子に接続される反転クロック入力端子、前記第1のラッチ回路のデータ出力端子に接続されるデータ入力端子、前記第1のラッチ回路の反転データ出力端子に接続される反転データ入力端子、前記第1の出力端子に接続されるデータ出力端子、前記第2の出力端子に接続される反転データ出力端子を有する第2のラッチ回路

とを備えることを特徴とする請求項14に記載の周波数分周回路。

【請求項16】 半導体チップと、

該半導体チップ上に集積化され、入力信号を分周し、第1の高周波信号を出力する第1の分周回路と、

前記半導体チップ上に集積化され、出力信号を分周し、第3の高周波信号を出力する第3の分周回路

前記半導体チップ上に集積化され、前記第1の高周波信号と前記第3の高周波信号とに演算処理を施し、第2の高周波信号を出力するミキサ回路と、

前記半導体チップ上に集積化され、前記第2の高周波信号を分周し、前記出力信号を出力する第2の分周回路

とを備えることを特徴とする半導体集積回路。

【請求項17】 基準クロックと比較クロックとの位相差に応じた周波数の発振信号を供給する比較発振回路と、

a、b、cをそれぞれ2以上の整数として、前記発振信号を順に $1/a$ 、 $1/b$ 、及び $1/c$ に分周し、 $1/a$ 分周された前記発振信号の周波数と $1/c$ 分周された前記発振信号の周波数とに演算処理を施し、 $1/b$ 分周された前記発振信号を出力信号として出力する周波数分周回路

とを備えることを特徴とするPLL回路。

【請求項18】 前記出力信号に基づいて切り替え信号及び前記比較クロックを生成する切り替え信号生成回路を更に備えることを特徴とする請求項17に記載のPLL回路。

【請求項19】 前記周波数分周回路は、前記切り替え信号に基づいて、 $1/a$ 分周された前記発振信号と $1/c$ 分周された前記発振信号とに前記演算処理

を施すか否か判断することを特徴とする請求項 18 に記載の PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は PLL 回路に関し、特に、PLL 回路に用いられる周波数分周回路に関する。

【0002】

【従来の技術】

移動体通信機器においては、使用チャネル数が非常に多く、高精度な周波数発生回路が必要とされる。高精度な周波数発生回路としては、パルススワロー方式の位相同期 (PLL) 回路を用いた PLL 周波数シンセサイザが知られている。PLL 回路は、低周波の基準クロックを逡倍し、高周波信号を出力する。PLL 回路内で、最も高速に動作するのが電圧制御発振器及び電圧制御発振器に接続されるデュアルモジュラス分周器である。なお、デュアルモジュラス分周器は、周波数分周回路の一種である。デュアルモジュラス分周器は、電圧制御発振器の発振周波数を分周するので、電圧制御発振器の発振周波数の増加と比例して高速動作させなければならない。尚、50 [GHz] 程度の周波数で発振する電圧制御発振器が実現されている。

【0003】

パルススワロー方式の PLL 回路には、 $1/N$ 分周器及び $(1/N+1)$ 分周器 (N : 整数) の 2 系統の分周器を内蔵するデュアルモジュラス分周器が使用される。即ち、図 13 (a) に示す $1/N$ 分周器としての $1/2$ 分周器と、図 13 (b) に示す $(1/N+1)$ 分周器としての $1/3$ 分周器が内蔵される。 $1/2$ 分周器は、図 13 (a) に示すように、フリップフロップ 111、112 からなる。 $1/3$ 分周器は、図 13 (b) に示すように、フリップフロップ 113、114、116、117 と AND 回路 115 とにより構成される。

【0004】

また、 $1/N$ 分周器と $(1/N+1)$ 分周器 (N : 整数) とを高速に切り替える「切り替え方式」により、所望の分周比を有する分周器が提案されている (例

えば、非特許文献 1 参照)。

【0005】

【特許文献】

特開平 8-307262 号公報

【0006】

【非特許文献】

岡田真一、入谷忠光、玉井良尚 共著「分数分周器を用いた高速切り替え周波数シンセサイザ」電子情報通信学会無線通信システム研究会、1997年9月25日、P85-90

【0007】

【発明が解決しようとする課題】

図 13 (a) に示す $1/2$ 分周器は、信号伝達時に発生する遅延が微小であり、高速動作可能である。一方、図 13 (b) に示す $1/3$ 分周器は、信号経路の回路数が多く、遅延時間が大きいため高速動作は不可能である。この結果、電圧制御発振器と同等の動作周波数を有する周波数分周回路は実現困難であった。また、切り替え方式においては、 $1/N$ 分周器と $(1/N+1)$ 分周器を高速に切り替え、実効的に $1/N$ と $(1/N+1)$ の中間の分周比で分周を行なっている。したがって、切り替え方式を採用したデュアルモジュラス周期は、スイッチングノイズが発生していた。

【0008】

上記問題点を鑑み、本発明は、高速に動作し、スイッチングノイズが発生せず所望の分周比を得る周波数分周回路、PLL 回路及び半導体集積回路を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成する為に、本発明の第 1 の特徴は、(イ) 入力信号を分周し、第 1 の高周波信号を出力する第 1 の分周回路；(ロ) 出力信号を分周し、第 3 の高周波信号を出力する第 3 の分周回路；(ハ) 第 1 の高周波信号と第 3 の高周波信号とに演算処理を施し、第 2 の高周波信号を出力するミキサ回路；(ニ) 第 2

の高周波信号を分周し、出力信号を出力する第2の分周回路を備える周波数分周回路であることを要旨とする。

【0010】

本発明の第1の特徴に係る周波数分周回路によると、ミキサ回路を用いた演算処理により分周比が設定されるので、スイッチングノイズが発生しない。更に、第1、第2、及び第3の分周回路をそれぞれ高速動作させることにより周波数分周回路全体の高速化が実現できる。

【0011】

本発明の第2の特徴は、(イ) 半導体チップ；(ロ) 半導体チップ上に集積化され、入力信号を分周し、第1の高周波信号を出力する第1の分周回路；(ハ) 半導体チップ上に集積化され、出力信号を分周し、第3の高周波信号を出力する第3の分周回路；(ニ) 半導体チップ上に集積化され、第1の高周波信号と第3の高周波信号とに演算処理を施し、第2の高周波信号を出力するミキサ回路；(ホ) 半導体チップ上に集積化され、第2の高周波信号を分周し、出力信号を出力する第2の分周回路を備える半導体集積回路であることを要旨とする。

【0012】

本発明の第2の特徴に係る半導体集積回路によれば、配線長の短縮、浮遊容量及びインダクタンスの低減が可能となる。

【0013】

本発明の第3の特徴は、(イ) 基準クロックと比較クロックとの位相差に応じた周波数の発振信号を供給する比較発振回路；(ロ) a 、 b 、 c をそれぞれ2以上の整数として、発振信号を順に $1/a$ 、 $1/b$ 、及び $1/c$ に分周し、 $1/a$ 分周された発振信号の周波数と $1/c$ 分周された発振信号の周波数とに互いに演算処理を施し、 $1/b$ 分周された発振信号を出力信号として出力する周波数分周回路を備えるPLL回路であることを要旨とする。

【0014】

本発明の第3の特徴に係るPLL回路によれば、演算処理により分数分周動作を実現している。したがって、スイッチングノイズは発生しない。

【0015】

【発明の実施の形態】

次に、図面を参照して、本発明の第1～第3の実施の形態を説明する。この第1～第3の実施の形態における図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0016】**(第1の実施の形態)**

本発明の実施の形態に係るPLL回路1は、図1に示すように、基準クロック発生器5に接続される比較発振回路10、比較発振回路10に接続される周波数分周回路2a、周波数分周回路2a及び比較発振回路10に接続される切り替え信号生成回路3を備える。基準クロック発生器5としては、例えば、水晶発振器が利用できる。

【0017】

周波数分周回路2aは、発振信号 f_{VC0} を順に $1/a$ 、 $1/b$ 、及び $1/c$ に分周する(a 、 b 、 c :2以上の整数)。次に、 $1/a$ 分周された発振信号 f_{VC0} の周波数と $1/c$ 分周された発振信号 f_{VC0} の周波数とを互いに減算する。そして、 $1/b$ 分周された発振信号 f_{VC0} を出力信号 f_{out} として出力する。また、周波数分周回路2aは、切り替え信号SCに基づいて、 $1/a$ 分周された発振信号 f_{VC0} と $1/c$ 分周された発振信号 f_{VC0} とを互いに減算するか否か判断する。

【0018】

図1に示すディアルモジュラス分周器2aの入力端子25には、電圧制御発振器14が供給する発振信号 f_{VC0} が入力信号として入力される。本発明の第1の実施の形態に係る周波数分周回路2aは、図1に示すように、入力端子25に接続される第1の分周回路21、第1の分周回路21に接続されるミキサ回路27、ミキサ回路27と出力端子26との間に接続される第2の分周回路22、出力端子26に出力側が接続され、ミキサ回路27に出力側が接続される第3の分周回路23を備える。

【0019】

更に、第1の分周回路21、第2の分周回路22、及び第3の分周回路23は、それぞれ $1/a$ 、 $1/b$ 、及び $1/c$ の分周比を有している。ミキサ回路27

は、2つの入力信号の差信号成分を出力する。また、第1の分周回路21は、入力信号を分周し、第1の高周波信号 f_1 を出力する。第3の分周回路23は、出力信号 f_{out} を分周し、第3の高周波信号 f_3 を出力する。ミキサ回路27は、第1の高周波信号 f_1 と第3の高周波信号 f_3 とに減算処理を施し、第2の高周波信号 f_2 を出力する。第2の分周回路22は、第2の高周波信号 f_2 を分周し、出力信号 f_{out} を出力する。

【0020】

図1に示す周波数分周回路2aは、ミキサ回路27と第3の分周回路23との間に接続されるスイッチ回路24aを更に備えている。スイッチ回路24aとしては、例えば、nチャネルのMOSトランジスタを使用できる。スイッチ回路24aは、切り替え信号SCに応じて、ミキサ回路27と第3の分周回路23との接続を切り替える。

【0021】

切り替え信号生成回路3は、周波数分周回路2aの出力端子26に接続されるプログラマブルカウンタ31及びスワローカウンタ32、プログラマブルカウンタ31及びスワローカウンタ32に接続される出力制御回路33を備える。出力制御回路33は、プログラマブルカウンタ31及びスワローカウンタ32のいずれかの出力信号を切り替え信号SCとして周波数分周回路2aに出力する。

【0022】

比較発振回路10は、基準クロック発生器5及びプログラマブルカウンタ31に入力側が接続される位相比較器11、位相比較器11の出力側に接続されるチャージポンプ12、チャージポンプ12に接続されるローパスフィルタ13、ローパスフィルタ13に出力側が接続され、周波数分周回路2aの入力端子25に出力側が接続される電圧制御発振器14を備える。

【0023】

位相比較器11は、基準クロック発生器5が発生させる基準クロック f_r とプログラマブルカウンタ31が出力する比較クロック f_p との位相差に基づいて位相差信号 ϕ_{dif} を出力する。次に、チャージポンプ12は、位相差信号 ϕ_{dif} に応じたパルス幅のパルス出力信号SCPを出力する。ローパスフィルタ13は、パ

ルス出力信号SCPを直流電圧成分に変換し、直流電圧SLPFを出力する。電圧制御発振器14は、直流電圧SLPFに応じた周波数で発振し、発振信号 f_{VC0} を出力する。

【0024】

次に、図1を用いて、本発明の第1の実施の形態に係る周波数分周回路2aの動作を説明する。第1の分周回路21は、電圧制御発振器14から入力端子25を介して伝達される発振信号 f_{VC0} の周波数を分周する。ここで、第1の分周回路21の分周比を $1/a$ とすると、第1の分周回路21が出力する第1の高周波信号 f_1 の周波数は：

$$f_1 = f_{VC0} / a \quad \dots\dots (1)$$

となる。ミキサ回路27が出力する第2の高周波信号 f_2 は、第2の分周回路22を介して出力端子26に伝達される。第3の分周回路23は、第2の分周回路22が出力する出力信号 f_{out} の周波数を分周する。第3の分周回路23の分周比を $1/c$ とすると、第3の分周回路23が出力する第3の高周波信号 f_3 の周波数は：

$$f_3 = f_{out} / c \quad \dots\dots (2)$$

となる。ミキサ回路27は、第1の分周回路21が出力する第1の高周波信号 f_1 と第3の分周回路23が出力する第3の高周波信号 f_3 とに減算処理を施す。よって、 $f_{VC0} > f_{out}$ とすると、ミキサ回路27の出力信号の周波数 f_2 は：

$$f_2 = f_1 - f_3 \quad \dots\dots (3)$$

となる。式(1)及び(2)を式(3)に代入すると：

$$f_2 = f_{VC0} / a - f_{out} / c \quad \dots\dots (4)$$

が成り立つ。ここで、第2の分周回路22の分周比を $1/b$ とすると、第2の分周回路22が出力する出力信号 f_{out} の周波数は：

$$f_{out} = (f_{VC0} / a - f_{out} / c) / b \quad \dots\dots (5)$$

となる。式(5)を f_{out} について解くと：

$$f_{out} = f_{VC0} / (ab + a/c) \quad \dots\dots (6)$$

が成り立つ。第2の分周回路22が出力する出力信号 f_{out} は、周波数分周回路2aの出力端子26を介してプログラマブルカウンタ31及びスワローカウンタ

32に伝達される。また、式(6)より、例えば $a=2$ 、 $b=2$ 、 $c=4$ とした場合:

$$f_{out} = f_{VCO} / 4 \cdot 5 \quad \dots\dots (7)$$

が成り立つ。

【0025】

一方、スイッチ回路24aがオフ状態の場合は、式(7)に $c=0$ を代入して:

$$f_{out} = f_{VCO} / a \cdot b \quad \dots\dots (8)$$

が成り立つ。式(8)から分かる様に、発振信号 f_{VCO} は、先ず第1の分周回路21により $1/a$ 分周され、その後第2の分周回路22により $1/b$ 分周されている。式(8)より、例えば $a=2$ 、 $b=2$ とした場合:

$$f_{out} = f_{VCO} / 4 \quad \dots\dots (9)$$

が成り立つ。

【0026】

このように、第1の実施の形態に係る周波数分周回路2aによれば、式(7)に示すように、切り替え方式によらず所望の分周比を得ることができる。また、演算処理により分周比を設定しているので、スイッチングノイズも発生しない。また、第1の分周回路21、第2の分周回路22、及び第3の分周回路23に遅延時間の小さい構成にすることにより、周波数分周回路2a全体の高速化を実現できる。したがって、第1の実施の形態に係る周波数分周回路2aをPLL回路1に用いることにより、ミリ波帯等といった高周波動作が可能なPLL回路1を提供出来る。

【0027】

なお、本発明の第1の実施の形態の変形例に係る周波数分周回路2bとして、図3に示すように、スイッチ回路24bを第2の分周回路22と第3の分周回路23との間に接続してもよい。図3に示すスイッチ回路24bは、切り替え信号SCに応じて第2の分周回路22と第3の分周回路23との接続を切り替えている。図3に示す周波数分周回路2bは、図1に示す周波数分周回路3aと同様に動作する。

【0028】

図1に示す基準クロック発生器5、位相比較器11、チャージポンプ12、ローパスフィルタ13、電圧制御発振器14、第1の分周回路21、第2の分周回路22、第3の分周回路23、スイッチ回路24a、プログラマブルカウンタ31、スワローカウンタ32は、図2に示すように、同一の半導体チップ91上にモノリシックに集積化し、半導体集積回路（チップ状態）95を形成することが可能である。更に、半導体チップ91上にボンディングパッド92が形成される。ボンディングパッド92は、電圧制御発振器14からの発振信号 f_{VCO} を外部に出力する為の内部端子である。具体的には、ボンディングパッド92は、例えば、半導体チップ91上に形成された $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-2}$ 程度のドナー若しくはアクセプタがドーピングされた複数の高不純物密度領域（ソース領域／ドレイン領域、若しくはエミッタ領域／コレクタ領域等）等にそれぞれ接続される。そして、この複数の高不純物密度領域にオーミック接触するように、アルミニウム（Al）、若しくはアルミニウム合金（Al-Si, Al-Cu-Si）等の金属から成る複数の電極層が形成される。そしてこの複数の電極層の上部には、酸化膜（ SiO_2 ）、PSG膜、BPSG膜、窒化膜（ Si_3N_4 ）、或いはポリイミド膜等から成るパッシベーション膜が形成される。そして、パッシベーション膜の一部に複数の電極層を露出するように複数の開口部（窓部）を設け、複数のボンディングパッド92が構成される。或いは、複数の電極層と金属配線で接続された他の金属パターンとして、ボンディングパッド92を形成してもかまわない。又、MOSFET等であれば、ポリシリコンゲート電極にアルミニウム（Al）、若しくはアルミニウム合金（Al-Si, Al-Cu-Si）等の金属からなる複数のボンディングパッド92を形成することが可能である。或いは、複数のポリシリコンゲート電極に接続されたゲート配線等の複数の信号線を介して、他の複数のボンディングパッドを設けても良い。ポリシリコンから成るゲート電極の代わりに、タングステン（W）、チタン（Ti）、モリブデン（Mo）等の高融点金属、これらのシリサイド（ WSi_2 , TiSi_2 , MoSi_2 ）等、或いはこれらのシリサイドを用いたポリサイド等から成るゲート電極でもかまわない。

【0029】

(第2の実施の形態)

図4に示す周波数分周回路2cは、図1のPLL回路1の一部として用いられる。本発明の第2の実施の形態に係る周波数分周回路2cは、図4に示すように、第1の分周回路210、第2の分周回路220、及び第3の分周回路230が、それぞれ複数段直列接続された第1の1/2分周器210a~210n、第2の1/2分周器220a~220m、第3の1/2分周器230a~230nを備える点が図1と異なる。また、第1の分周回路210に備えられる1/2分周器210a~210nの段数と第3の分周回路230に備えられる1/2分周器230a~230nの段数とは等しい。更に、図4に示すディアルモジュラス分周器2cは、図2と同様に同一の半導体基板上にモノリシックに集積化し、半導体集積回路として構成することが可能である。

【0030】

図4に示す第1の1/2分周器210a~210n、第2の1/2分周器220a~220m、第3の1/2分周器230a~230nは、図5(a)に示すように、第1のラッチ回路51及び第2のラッチ回路52を備える。尚、図5(a)においては、一例として図4に示す第1の分周回路210の最終段の第1の1/2分周器210nを図示している。第1のラッチ回路51は、第1の入力端子53に接続されるクロック入力端子CK、第2の出力端子56に接続されるデータ入力端子D、第1の出力端子55に接続される反転データ入力端子Dバーを有する。第2のラッチ回路52は、第2の入力端子54に接続される反転クロック入力端子CKバー、第1のラッチ回路51のデータ出力端子Qに接続されるデータ入力端子D、第1のラッチ回路51の反転データ出力端子Qバーに接続される反転データ入力端子Dバー、第1の出力端子55に接続されるデータ出力端子Q、第2の出力端子56に接続される反転データ出力端子Qバーを有する。第1の入力端子53と第2の入力端子54とにより、入力ポート57が構成される。第1の出力端子55と第2の出力端子56とにより、第1出力ポート58が構成されている。

【0031】

第1のラッチ回路51のクロック入力端子CKと第2のラッチ回路52の反転クロック入力端子CKバーには、図4に示す第1の1/2分周器210 (n-1) の出力クロックが入力される。尚、第1の1/2分周器210 (n-1) は、互いに逆相のクロック信号を出力する。第1のラッチ回路51は、マスターラッチとして機能する。一方、第2のラッチ回路52は、スレーブラッチとして機能する。即ち、第1のラッチ回路51及び第2のラッチ回路52の内部を信号が2周する。この結果、第1出力ポート58からは、入力ポート57に入力される入力信号の周期を2倍、即ち周波数を1/2分周した出力信号OUT1、OUT2が出力される。

【0032】

第1のラッチ回路51のデータ出力端子Qと第2のラッチ回路52のデータ入力端子Dとの接続点P₁には第3の出力端子59aが接続される。また、第1のラッチ回路51の反転データ出力端子Qバーと第2のラッチ回路52の反転データ入力端子Dバーとの接続点P₂には第4の出力端子59bが接続される。第3の出力端子59a及び第4の出力端子59bにより第2出力ポート59を構成している。尚、図5(a)に示す第1の1/2分周器210nよりも前段の第1の1/2分周器210a~210(n-1)は、図5の第2出力ポート59を備えていない。更に、図5(b)に示す第3の1/2分周器230nは、図5(a)に示す第1の1/2分周器210nと同様に構成されている。

【0033】

ミキサ回路270は、図6に示すように、高位電源VDDに接続される第1の負荷抵抗Z_{L1}及び第2の負荷抵抗Z_{L2}、第1の負荷抵抗Z_{L1}及び第2の負荷抵抗Z_{L2}と低位電源VSSとの間に接続され、第1入力ポート73及び第3入力ポート75に接続された第1のダブルバランスミキサ270a、第1の負荷抵抗Z_{L1}及び第2の負荷抵抗Z_{L2}と低位電源VSSとの間に接続され、第2入力ポート74及び第4入力ポート76に接続された第2のダブルバランスミキサ270bを備える。

【0034】

更に、図5(a)の第1の1/2分周器210nの第1出力ポート58は、図

6に示すミキサ回路270の第4入力ポート76に接続される。また、第1の1/2分周器210nの第2出力ポート59は、ミキサ回路270の第3入力ポート75に接続される。図5(b)の第3の1/2分周器230nの第1出力ポート158は、図6に示すミキサ回路270の第2入力ポート74に接続される。第3の1/2分周器230nの第2出力ポート159は、ミキサ回路270の第1入力ポート73に接続される。

【0035】

第1のダブルバランスミキサ270aは、第1及び第2の差動対81、82、第1の差動対81にドレインが接続され、第3入力ポート75にゲートが接続され、低位電源VSSにソースが接続される第1の電流源トランジスタTr9、第2の差動対82にドレインが接続され、第3入力ポート75にゲートが接続され、低位電源VSSにソースが接続される第1の電流源トランジスタTr10を備える。第1の差動対81は、出力ポート77にドレインが接続され、第1入力ポート73にゲートが接続され、第1の電流源トランジスタTr1のドレインにソースが接続される第1の差動トランジスタTr1及び第2の差動トランジスタTr2を備える。第2の差動対82は、出力ポート77にドレインが接続され、第1入力ポート73にゲートが接続され、第2の電流源トランジスタTr10のドレインにソースが接続される第3の差動トランジスタTr3及び第4の差動トランジスタTr4を備える。

【0036】

一方、第2のダブルバランスミキサ270bは、第3及び第4の差動対83、84、第3の差動対83にドレインが接続され、第4入力ポート76にゲートが接続され、低位電源VSSにソースが接続される第3の電流源トランジスタTr11、第4の差動対84にドレインが接続され、第4入力ポート76にゲートが接続され、低位電源VSSにソースが接続される第4の電流源トランジスタTr12を備える。第3の差動対83は、出力ポート77にドレインが接続され、第2入力ポート74にゲートが接続され、第3の電流源トランジスタTr11のドレインにソースが接続される第5の差動トランジスタTr5、第6の差動トランジスタTr6を備える。第4の差動対84は、出力ポート77にドレインが接続

され、第2入力ポート74にゲートが接続され、第4の電流源トランジスタ T_{r12} のドレインにソースが接続される第7の差動トランジスタ T_{r7} 、第8の差動トランジスタ T_{r8} を備える。

【0037】

また、ミキサ回路270の出力ポート77は、図4に示す第2の分周回路220の1/2分周器220aに接続される。第1、第2、第3、及び第4の電流源トランジスタ T_{r9} 、 T_{r10} 、 T_{r11} 、 T_{r12} 、第1～第8の差動トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} 、 T_{r6} 、 T_{r7} 、 T_{r8} としては、例えばnMOSトランジスタが利用できる。

【0038】

ミキサ回路270には、第1の高周波信号 f_1 と第3の高周波信号 f_3 とが入力される。第1のダブルバランスミキサ270aは、第2分周信号 f_{02} と第4分周信号 f_{02} とをアナログ演算により乗算する。一方、第2のダブルバランスミキサ270bは、第1分周信号 f_{01} と第3分周信号 f_{03} とをアナログ演算により乗算する。この結果、ミキサ回路270の出力信号 f_2 は：

$$f_2 = f_{01} \cdot f_{03} + f_{02} \cdot f_{04} \quad \dots\dots (10)$$

となる。図5(a)の第1分周信号 f_{01} の位相と第2分周信号 f_{02} の位相とは、互いに90度ずれている。同様に、図5(b)に示す第3分周信号 f_{03} の位相と第4分周信号 f_{04} の位相とは、互いに90度ずれている。したがって、第1分周信号 f_{01} を $\cos \omega_1$ 、第2分周信号 f_{02} を $\sin \omega_1$ 、第3分周信号 f_{03} を $\cos \omega_2$ 、第4分周信号 f_{04} を $\sin \omega_2$ とおくと、式(10)より、ミキサ回路270の出力信号 f_2 は：

$$\begin{aligned} f_2 &= \cos \omega_1 \cos \omega_2 + \sin \omega_1 \sin \omega_2 \\ &= \cos(\omega_1 - \omega_2) \quad \dots\dots (11) \end{aligned}$$

となる。ミキサ回路270は、式(11)から分かる様に、周波数の差信号成分だけを取り出している。

【0039】

次に、図4～図6を用いて、本発明の第2の実施の形態に係る周波数分周回路2cの動作を説明する。但し、第1の実施の形態に係る周波数分周回路2aの動

作と重複する説明は省略する。図4に示す第1の分周回路210は、図1の電圧制御発振器14から入力端子25を介して伝達される発振信号 f_{VCO} の周波数を分周する。ここで、第1の分周回路210の分周比を $1/2^n$ とすると、第1高周波信号 f_1 の周波数は：

$$f_1 = f_{VCO} / 2^n \quad \dots\dots (12)$$

となる。また、第3の分周回路230は、出力信号 f_{out} を分周する。ここで、第3の分周回路230の分周比を $1/2^n$ とすると、第3高周波信号 f_3 の周波数は：

$$f_3 = f_{out} / 2^n \quad \dots\dots (13)$$

となる。したがって、 $f_{VCO} > f_{out}$ とすると、第2の高周波信号 f_2 の周波数は：

$$f_2 = (f_{VCO} - f_{out}) / 2^n \quad \dots\dots (14)$$

となる。第2の高周波信号 f_2 は第2の分周回路220により更に $1/2^m$ 分周される。この結果出力信号 f_{out} は：

$$\begin{aligned} f_{out} &= ((f_{VCO} - f_{out}) / 2^n) / 2^m \\ &= (f_{VCO} - f_{out}) / 2^{n+m} \quad \dots\dots (15) \end{aligned}$$

となる。式(15)を f_{out} について解くと：

$$f_{out} = f_{VCO} / (2^{n+m+1}) \quad \dots\dots (16)$$

が成り立つ。

【0040】

一方、スイッチ回路24aがオフ状態の場合、周波数分周回路2cの出力信号 f_{out} の周波数は：

$$f_{out} = f_{VCO} / 2^{n+m} \quad \dots\dots (17)$$

となる。

【0041】

このように、第2の実施の形態によれば、第1の分周回路210、第2の分周回路220、及び第3の分周回路230の内部にそれぞれ第1の $1/2$ 分周器210a～210n、第2の $1/2$ 分周器220a～220n、及び第3の $1/2$ 分周器230a～230nを備えることにより、遅延時間が小さく高速動作可能

な周波数分周回路 2c を構成している。また、図 1 に示す周波数分周回路 2a と同様にスイッチングノイズが発生しない。

【0042】

なお、本発明の第 2 の実施の形態の変形例に係る周波数分周回路 2d として、図 7 に示すように、切り替え信号 SC を第 3 の第 3 の分周回路 231 の第 3 の 1/2 分周器 330 に入力するようにしても良い。即ち、第 3 の 1/2 分周器 330 は、図 8 に示すように、切り替え信号端子 69 に接続されるリセット端子 R、第 1 の入力端子 63 に接続されるクロック入力端子 CK、第 2 の出力端子 66 に接続されるデータ入力端子 D、第 1 の出力端子 65 に接続される反転データ入力端子 Dバーを有する第 1 のラッチ回路 61 と、切り替え信号端子 69 に接続されるリセット端子 R、第 2 の入力端子 64 に接続される反転クロック入力端子 CKバー、第 1 のラッチ回路 61 のデータ出力端子 Q に接続されるデータ入力端子 D、第 1 のラッチ回路 61 の反転データ出力端子 Qバーに接続される反転データ入力端子 Dバー、第 1 の出力端子 65 に接続されるデータ出力端子 Q、第 2 の出力端子 66 に接続される反転データ出力端子 Qバーを有する第 2 のラッチ回路 62 とを備える。切り替え信号 SC は、切り替え信号端子 69 を介して第 1 のラッチ回路 61 及び第 2 のラッチ回路 62 のリセット端子 R に伝達される。そして、第 1 のラッチ回路 61 及び第 2 のラッチ回路 62 は、切り替え信号 SC に応じて、ラッチ動作を停止する。この結果、図 1 に示すスワローカウンタ 32 からの切り替え信号 SC に基づいて直接分周比を切り替えることが可能な周波数分周回路 2d を構成できる。したがって、図 1 に示すスイッチ回路 24a が不要となる。

【0043】

(第 3 の実施の形態)

本発明の第 3 の実施の形態に係る PLL 回路 100 は、図 9 に示すように、切り替え信号生成回路 3 を備えていない点が図 1 に示した PLL 回路 1 と異なる。その他の構成については、図 1 に示した PLL 回路 1 の構成と同様である。また、図 9 に示す PLL 回路 100 は、図 2 と同様に半導体集積回路で構成することが可能である。

【0044】

更に、図9に示す周波数分周回路2eの第2の分周回路251及び第3の分周回路253の分周比は可変である点が図1に示した周波数分周回路2aと異なる。即ち、第2の分周回路252及び第3の分周回路253として、プログラマブル分周器を使用している。これに対して、第1の分周回路251の分周比は不変である。一般的に、プログラマブル分周器の最大動作周波数は、分周比不変の分周器の最大動作周波数と比して低い。よって、第2の分周回路252及び第3の分周回路253の動作周波数は第1の分周回路251の動作周波数よりも低くなる。第2の分周回路252及び第3の分周回路253のそれぞれの分周比をプログラムすることにより、図1に示した切り替え信号生成回路3及びスイッチ回路24aを不要としている。

【0045】

また、周波数分周回路2eのミキサ回路271は、減算処理に限らず加算処理も実行可能である点が図1に示した周波数分周回路2aと異なる。ミキサ回路271は、詳しくは図10に示すように、図6に示したミキサ回路270の第1の差動対81及び第2の差動対82と第1の電流源トランジスタTr9及び第2の電流源トランジスタTr10との間に接続され、第5入力ポート78に接続された第1の交換回路85を備える。更に、ミキサ回路271は、第3の差動対83及び第4の差動対84と第3の電流源トランジスタTr11及び第4の電流源トランジスタTr12との間に接続され、第5入力ポート78に接続された第2の交換回路86を備える。第5入力ポート78には外部からの交換信号S及びSバーが入力される。第1の交換回路85は、交換信号S及びSバーに基づいて、第1の差動対81及び第2の差動対82と第1の電流源トランジスタTr9及び第2の電流源トランジスタTr10との接続を交換する。第2の交換回路86は、交換信号S及びSバーに基づいて、第3の差動対83及び第4の差動対84と第3の電流源トランジスタTr11及び第4の電流源トランジスタTr12との接続を交換する。この結果、ミキサ回路271は、交換信号Sに応じて減算動作と加算動作とを切り替えることが可能となる。交換信号Sは、例えば図9に示したPLL回路100の外部のCPUにより供給される。或いは、シグマ・デルタ($\Sigma\Delta$)変調の施されたデジタル信号がPLL回路100に輸入される場合、 $\Sigma\Delta$

変調回路が交換信号 S 及び S バーを供給する。

【0046】

図 10 に示す第 1 の交換回路 85 は、第 1 の差動対 81 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 1 の電流源トランジスタ Tr 9 にソースが接続された第 1 のスイッチングトランジスタ Tr 13、第 2 の差動対 82 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 2 の電流源トランジスタ Tr 10 にソースが接続された第 2 のスイッチングトランジスタ Tr 14、第 2 の差動対 82 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 1 の電流源トランジスタ Tr 9 にソースが接続された第 3 のスイッチングトランジスタ Tr 15、第 1 の差動対 81 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 2 の電流源トランジスタ Tr 10 にソースが接続された第 4 のスイッチングトランジスタ Tr 16 を備える。

【0047】

一方、第 2 の交換回路 86 は、第 3 の差動対 83 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 3 の電流源トランジスタ Tr 11 にソースが接続された第 5 のスイッチングトランジスタ Tr 17、第 4 の差動対 84 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 4 の電流源トランジスタ Tr 12 にソースが接続された第 6 のスイッチングトランジスタ Tr 18、第 3 の差動対 83 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 4 の電流源トランジスタ Tr 12 にソースが接続された第 7 のスイッチングトランジスタ Tr 19、第 4 の差動対 84 にドレインが接続され、第 5 入力ポート 78 にゲートが接続され、第 3 の電流源トランジスタ Tr 11 にソースが接続された第 8 のスイッチングトランジスタ Tr 20 を備える。

【0048】

次に、図 9 を用いて、本発明の第 3 の実施の形態に係る周波数分周回路 2 e の動作を説明する。但し、本発明の第 1 の実施の形態に係る周波数分周回路 2 a と同様の動作については、重複する説明を省略する。第 1 の分周回路 251 が出力する第 1 の高周波信号 f_1 の周波数は式 (1) に示すように：

$$f_1 = f_{VCO} / a \quad \dots\dots (18)$$

である。また、第3の分周回路253が出力する第3の高周波信号 f_3 の周波数は式(2)に示すように:

$$f_3 = f_{\text{out}} / c \quad \dots\dots (19)$$

である。ミキサ回路271は、第1の分周回路251が出力する第1の高周波信号 f_1 と第3の分周回路253が出力する第3の高周波信号 f_3 とに減算処理又は加算処理を施す。よって、 $f_{\text{VCO}} > f_{\text{out}}$ とすると、ミキサ回路271の出力信号の周波数 f_2 は:

$$f_2 = f_1 \pm f_3 \quad \dots\dots (20)$$

となる。式(18)及び(19)を式(20)に代入すると:

$$f_2 = f_{\text{VCO}} / a \pm f_{\text{out}} / c \quad \dots\dots (21)$$

が成り立つ。ここで、第2の分周回路252の分周比を $1/b$ とすると、第2の分周回路22が出力する出力信号 f_{out} の周波数は:

$$f_{\text{out}} = (f_{\text{VCO}} / a \pm f_{\text{out}} / c) / b \quad \dots\dots (22)$$

となる。式(22)を f_{out} について解くと:

$$f_{\text{out}} = f_{\text{VCO}} / (a b \pm a / c) \quad \dots\dots (23)$$

が成り立つ。式(23)より、例えば $a=4$ 、 $b=\text{可変}$ 、 $c=\infty$ 、2、4とした場合(∞ :第3の分周回路253の出力が一定となるように固定):

$$f_{\text{out}} = f_{\text{VCO}} / (4 b \pm \{0, 1, 2\}) \quad \dots\dots (24)$$

が成り立つ。式(24)より、 $b=1$ の場合、周波数分周回路2eは、 $1/2$ 、 $1/3$ 、 $1/4$ 、 $1/5$ 、 $\dots\dots$ の分周比を具備する。また、 $b=2$ の場合、周波数分周回路2eは、 $1/6$ 、 $1/7$ 、 $1/8$ 、 $1/9$ 、 $\dots\dots$ の分周比を具備する。

【0049】

この様に、第3の実施の形態によれば、第2の分周回路252及び第3の分周回路253のいずれか、或いは両方にプログラマブル分周器を用い、ミキサ回路271に加算処理も実行させることにより、所望の分周比を得る周波数分周回路2eを構成できる。更に、図1に示す切り替え信号生成回路3を不要とすることが出来る。

なお、本発明の第3の実施の形態の変形例として、図11に示すように、PL

L回路1000の周波数分周回路2fが、第3の分周回路253とミキサ回路271との間に接続されたフィルタ回路300を更に備えるとしてもよい。フィルタ回路300としては、例えばポリフェーズフィルタが使用できる。フィルタ回路300は、第3の高周波信号 f_3 の高調波成分を除去する。

【0050】

図9の第3の分周回路253にデジタル回路を用いると、第3の高周波信号 f_3 は方形波に近い信号となる。しかし、基本波だけでなく、第3の高周波信号 f_3 には高調波が多数含まれることとなる。よって、ミキサ回路271において、基本波だけでなく、高調波成分に対しても演算処理が行なわれる。この結果、ミキサ回路271が出力する第2の高周波信号 f_2 は、目的の周波数帯域の周辺に多くのスプリアスが含まれる。例えば、第1、第2、及び第3の分周回路251、252、253の分周比をそれぞれ $1/2$ 、 $1/4$ 、 $1/2$ とし、発振信号 f_{VCO} を9 [GHz] とすると、第1の高周波信号 $f_1 = 4.5$ [GHz]、第2の高周波信号 $f_2 = 4$ [GHz]、第3の高周波信号 $f_3 = 0.5$ [GHz]、出力信号 $f_{out} = 1$ [GHz] となる。ここで、第3の高周波信号 f_3 に高調波が含まれるとすると、出力信号 $f_{out} = 1, 1.5, 2, \dots$ [GHz] となる。すると、第2の高周波信号 $f_2 = 4, 3.5, 3 \dots$ [GHz] の周波数が出力されることになる。 f_2 では、目的の周波数4 [GHz] のすぐ近く3.5 [GHz] にスプリアスが現れる。このスプリアスを取り除くには f_3 の高調波を取り除く必要がある。

【0051】

なお、フィルタ回路300としてポリフェーズフィルタを用いた場合、実数信号に相当する $f_3(I)$ 及び虚数信号に相当する $f_3(Q)$ のネガティブ周波数とポジティブ周波数に対しそれぞれ異なる処理を施す。即ち、ネガティブ周波数だけを除去し、ポジティブ周波数については、そのまま通過させる。よって、方形波に近いデジタル信号に強く含まれる第3次高調波を効果的に取り除くことができる。この結果、第3の分周回路253が出力する第3の高周波信号 f_3 のポジティブ信号成分だけを選択的に取り出すことができる。

【0052】

(その他の実施の形態)

上記のように、本発明は第1～第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0053】

上述した第1の実施の形態において、図12に示すように、スイッチ回路24aとミキサ回路27との間にフィルタ回路301を接続してもよい。この結果、スイッチ回路24aが発生させる微小なノイズを除去することが可能となる。同様に、第1の実施の形態の変形例に係る周波数分周回路2bにフィルタ回路を備えることも可能である。この場合、フィルタ回路は、図3に示すスイッチ回路24bと第3の分周回路23との間に接続される。

【0054】

既に述べた第1～第3の実施の形態においては、PLL回路1、100、1000に入力される基準クロック f_r は、基準クロック発生器5が発生させている。しかし、基準クロック f_r は必ずしも基準クロック発生器5が発生させる必要は無い。即ち、第1～第3の実施の形態に係るPLL回路1、100、1000は、周波数シンセサイザとして利用する以外に様々な用途に利用可能である。

【0055】

上述した第2の実施の形態においては、第3の分周回路と230とミキサ回路270との間にスイッチ回路24aを備える一例を説明した。第1の実施の形態の変形例に係る周波数分周回路2bと同様に、出力端子26と第3の分周回路230との間にスイッチ回路24bを備えるとしてもよい。また、第2の実施の形態においては、1/2分周器としてマスタ・スレーブ型の1/2分周器を用いるとして説明した。しかし、マスタ・スレーブ型の1/2分周器に限らず、例えばLC共振を利用した1/2分周器を用いることができる。

【0056】

更に、第2の実施の形態の変形例として、第3の分周回路231の初段の第3の1/2分周器330に切り替え信号SCが入力される構成の周波数分周回路2

dについて説明した。しかし、切り替え信号SCは、第3の1/2分周器230a~230nのいずれに入力される構成でも良い。

【0057】

また、第1及び第2の実施の形態においては、スイッチ回路24a、24b及び第1~第4の電流源トランジスタTr9、Tr10、Tr11、Tr12、第1~第8の差動トランジスタTr1、Tr2、Tr3、Tr4、Tr5、Tr6、Tr7、Tr8としてnMOSトランジスタを用いている。しかし、バイポーラトランジスタ(BJT)、接合型電界効果トランジスタ(JFET)を始め、ショットキーバリア型電界効果トランジスタ(MESFET)、静電誘導トランジスタ(SIT)、高電子移動度トランジスタ(HEMT)等の様々なトランジスタが使用可能であることは勿論である。なお、nMOSトランジスタに限らずpMOSトランジスタを用いても良い。

【0058】

上述した第3の実施の形態においては、ミキサ回路271の内部に第1の交換回路85及び第2の交換回路86を備える一例を説明した。しかし、第1の分周回路251とミキサ回路271との間に交換回路を備えることによりミキサ回路271に加算処理を実行させることが可能となる。或いは、第3の分周回路253とミキサ回路271との間に交換回路を備えてもよい。

【0059】

更に、第3の実施の形態の変形例においては、第3の分周回路253とミキサ回路271との間にフィルタ回路300を接続することにより、第3の高周波信号 f_3 の高調波成分を除去する一例を説明した。しかし、第3の分周回路253の動作速度を遅くし、第3の高周波信号 f_3 の波形の立ち上がり及び立ち下り速度を遅くする、即ち電圧の時間変化を遅くすることにより、第3の高周波信号 f_3 の高調波成分を除去することも可能である。具体的には、第3の分周回路253の内部のトランジスタの負荷容量及び駆動抵抗を調節すればよい。第3の高周波信号 f_3 の波形の立ち上がり及び立ち下りの時間変化は、トランジスタの負荷容量と駆動抵抗の積、即ち時定数に反比例して決定される。したがって、第3の分周回路253に容量を付加する、或いは内部トランジスタのゲート長を長

くする又は電流制限回路を付加する等の手法を用いれば良い。

【0 0 6 0】

既に述べた第 1 ～ 第 3 の実施の形態においては、ミキサ回路 2 7、2 7 0、2 7 1 としてギルバートセルミキサを使用する一例を説明したが、ギルバートセルミキサとは異なるミキサを用いても良いことは勿論である。また、第 3 の実施の形態の変形例に係るフィルタ回路 3 0 0 としてポリフェーズフィルタを用いるとしたが、高調波を除去するフィルタであればフィルタ回路 3 0 0 として使用できる。

【0 0 6 1】

このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【0 0 6 2】

【発明の効果】

本発明によれば、高速に動作し、スイッチングノイズが発生せず所望の分周比を得る周波数分周回路、P L L 回路及び半導体集積回路を提供出来る。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る P L L 回路の構成を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態に係る P L L 回路を同一半導体基板上にモノリシックに集積化した構成を示すブロック図である。

【図 3】

本発明の第 1 の実施の形態の変形例に係る P L L 回路の構成を示すブロック図である。

【図 4】

本発明の第 2 の実施の形態に係る周波数分周回路の構成を示すブロック図である。

【図 5】

図5 (a) は、本発明の第2の実施の形態に係る周波数分周回路に用いられる第1の分周回路の1/2分周器の構成の一例を示す回路図で、図5 (b) は、本発明の第2の実施の形態に係る周波数分周回路に用いられる第3の分周回路の1/2分周器の構成の一例を示す回路図である。

【図6】

本発明の第2の実施の形態に係る周波数分周回路に用いられるミキサ回路の構成を示す回路図である。

【図7】

本発明の第2の実施の形態の変形例に係る周波数分周回路の構成を示すブロック図である。

【図8】

本発明の第2の実施の形態の変形例に係る周波数分周回路に用いられる1/2分周器の構成を示す回路図である。

【図9】

本発明の第3の実施の形態に係るPLL回路の構成を示すブロック図である。

【図10】

本発明の第3の実施の形態に係るミキサ回路の構成を示すブロック図である。

【図11】

本発明の第3の実施の形態の変形例に係るPLL回路の構成を示すブロック図である。

【図12】

本発明のその他の実施の形態に係るPLL回路の構成を示すブロック図である。

【図13】

図13 (a) は、従来の1/2分周器の構成を示す回路図で、図13 (b) は、従来の1/3分周器の構成を示す回路図である。

【符号の説明】

1、100、1000…PLL回路

2a～2g…周波数分周回路

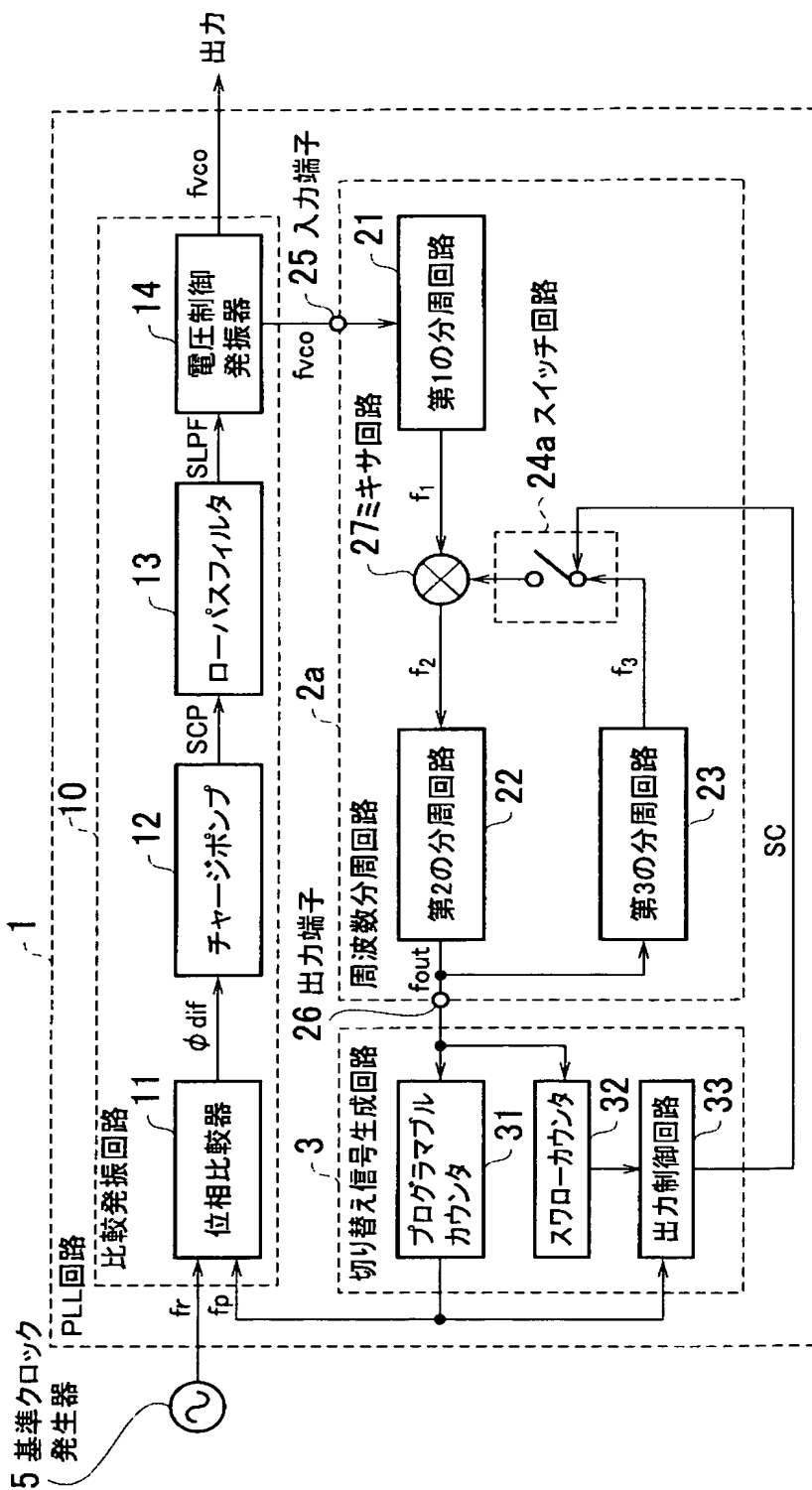
3…切り替え信号生成回路
5…基準クロック発生器
1 0…比較発振回路
1 1…位相比較器
1 2…チャージポンプ
1 3…ローパスフィルタ
1 4…電圧制御発振器
2 1、2 1 0、2 5 1…第 1 の分周回路
2 2、2 2 0、2 5 2…第 2 の分周回路
2 3、2 3 0、2 3 1、2 5 3…第 3 の分周回路
2 4 a、2 4 b…スイッチ回路
2 5…入力端子
2 6…出力端子
2 7、2 7 0、2 7 1…ミキサ回路
3 1…プログラマブルカウンタ
3 2…スワローカウンタ
3 3…出力制御回路
5 1、6 1…第 1 のラッチ回路
5 2、6 2…第 2 のラッチ回路
5 3、6 3…第 1 の入力端子
5 4、6 4…第 2 の入力端子
5 5、6 5…第 1 の出力端子
5 6、6 6…第 2 の出力端子
5 7…入力ポート
5 8、1 5 8…第 1 出力ポート
5 9、1 5 9…第 2 出力ポート
5 9 a…第 3 の出力端子
5 9 b…第 4 の出力端子
6 9…切り替え信号端子

7 3…第 1 入力ポート
7 4…第 2 入力ポート
7 5…第 3 入力ポート
7 6…第 4 入力ポート
7 7…出力ポート
7 8…第 5 入力ポート
8 1…第 1 の差動対
8 2…第 2 の差動対
8 3…第 3 の差動対
8 4…第 4 の差動対
8 5…第 1 の交換回路
8 6…第 2 の交換回路
9 1…半導体チップ
9 2…ボンディングパッド
9 5…半導体集積回路
1 1 1、1 1 2、1 1 3、1 1 4、1 1 6、1 1 7…フリップフロップ
1 1 5…AND 回路
2 1 0 a ~ 2 1 0 n…第 1 の $1/2$ 分周器
2 2 0 a ~ 2 2 0 m…第 2 の $1/2$ 分周器
2 3 0 a ~ 2 3 0 m、3 3 0…第 3 の $1/2$ 分周器
2 7 0 a…第 1 のダブルバランスミキサ
2 7 0 b…第 2 のダブルバランスミキサ
3 0 0、3 0 1…フィルタ回路
T r 1…第 1 の差動トランジスタ
T r 2…第 2 の差動トランジスタ
T r 3…第 3 の差動トランジスタ
T r 4…第 4 の差動トランジスタ
T r 5…第 5 の差動トランジスタ
T r 6…第 6 の差動トランジスタ

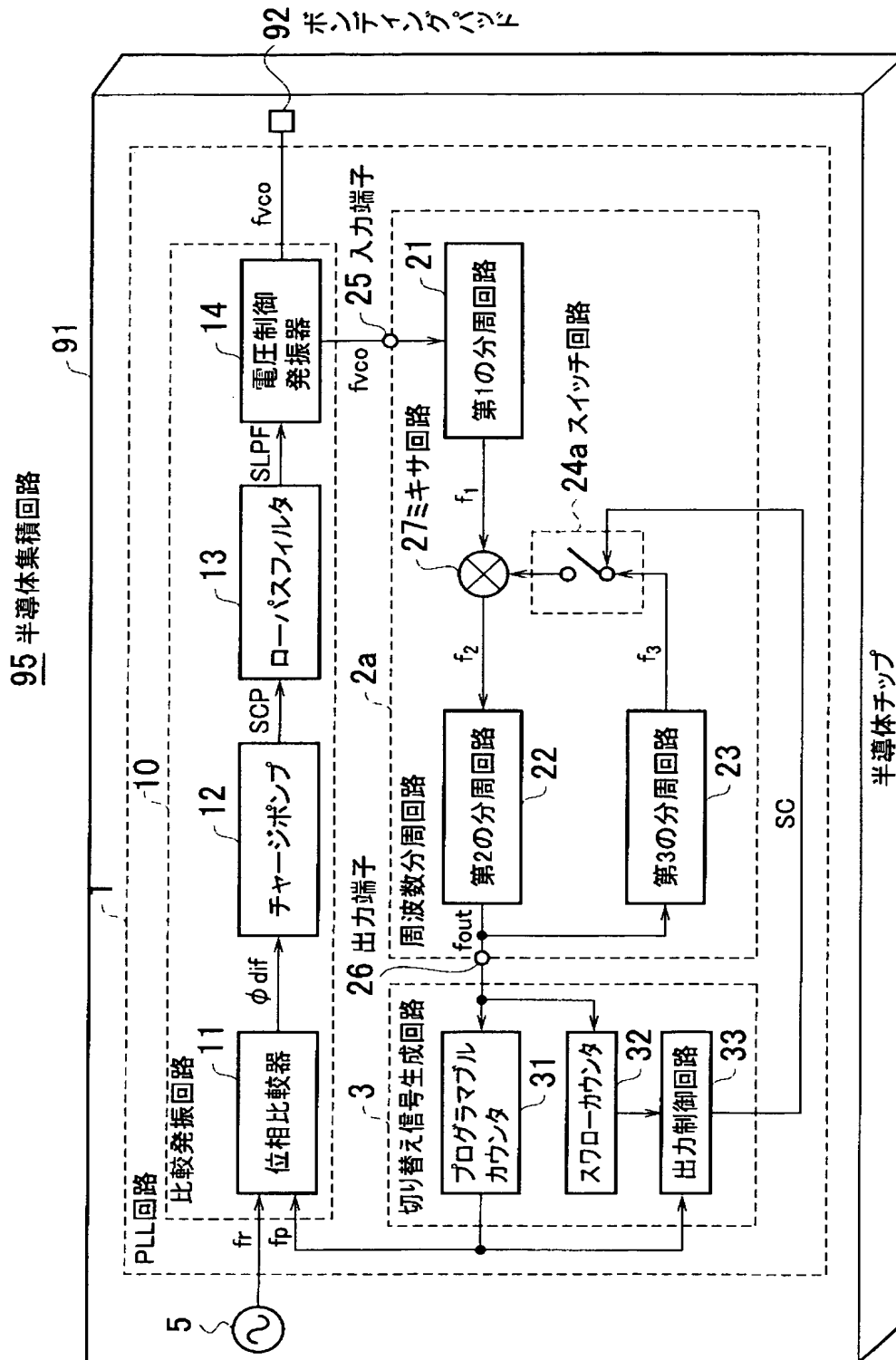
Tr 7…第 7 の差動トランジスタ
Tr 8…第 8 の差動トランジスタ
Tr 9…第 1 の電流源トランジスタ
Tr 1 0…第 2 の電流源トランジスタ
Tr 1 1…第 3 の電流源トランジスタ
Tr 1 2…第 4 の電流源トランジスタ
Tr 1 3…第 1 のスイッチングトランジスタ
Tr 1 4…第 2 のスイッチングトランジスタ
Tr 1 5…第 3 のスイッチングトランジスタ
Tr 1 6…第 4 のスイッチングトランジスタ
Tr 1 7…第 5 のスイッチングトランジスタ
Tr 1 8…第 6 のスイッチングトランジスタ
Tr 1 9…第 7 のスイッチングトランジスタ
Tr 2 0…第 8 のスイッチングトランジスタ

【書類名】 図面

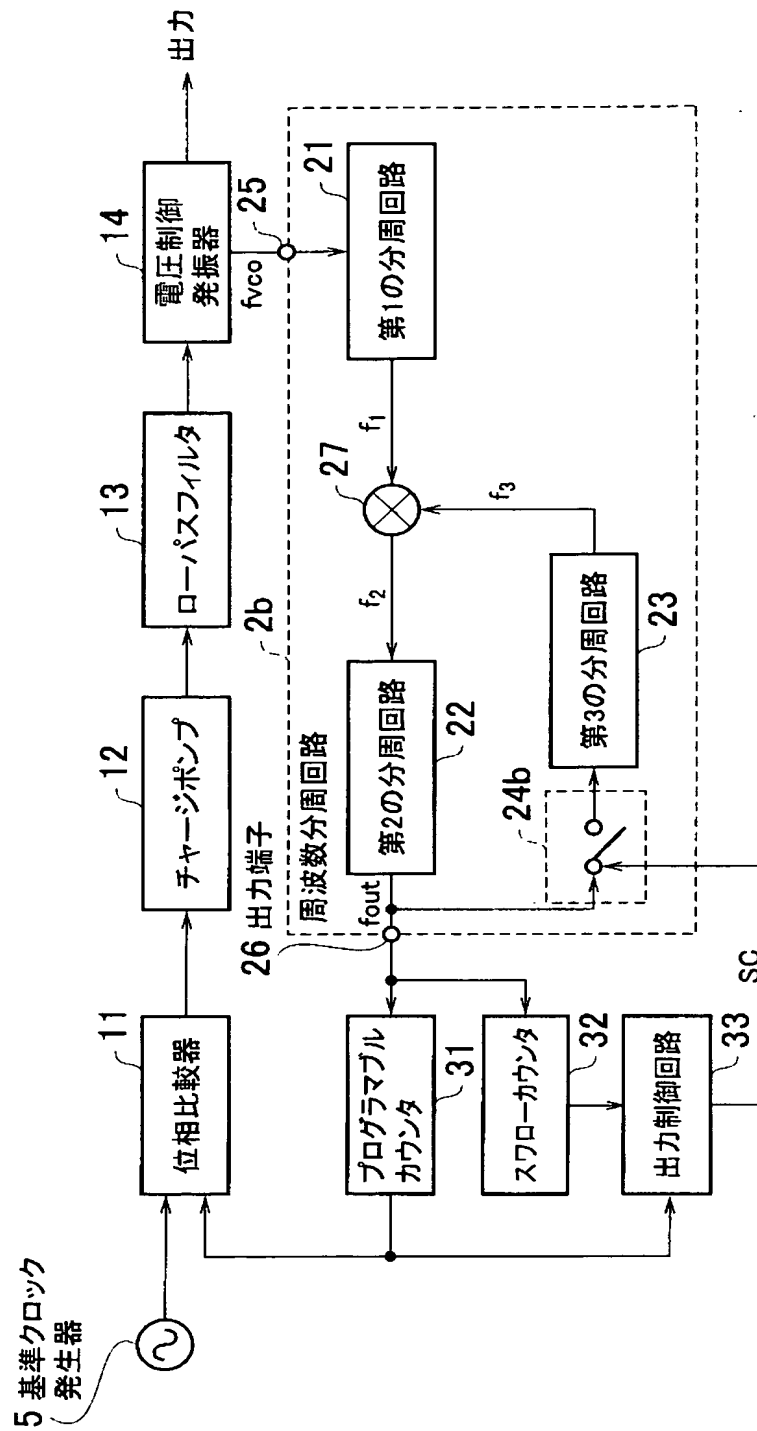
【図 1】



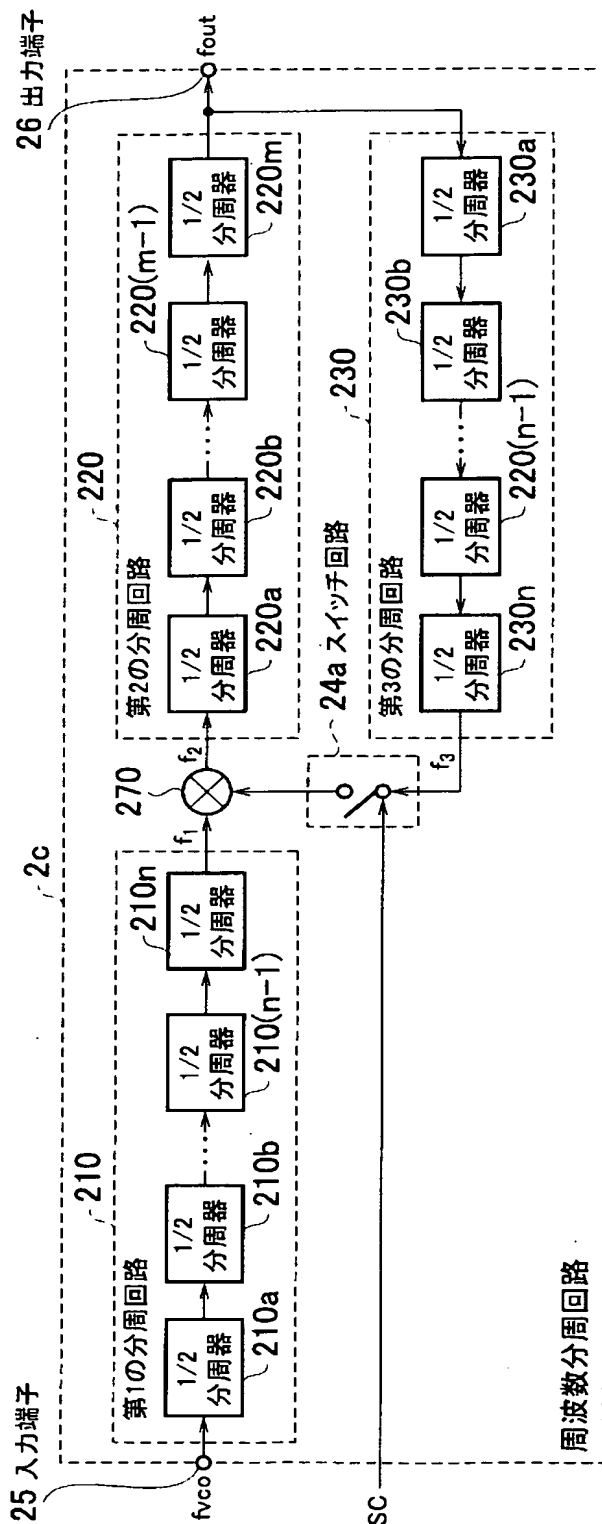
【図 2】



【図3】

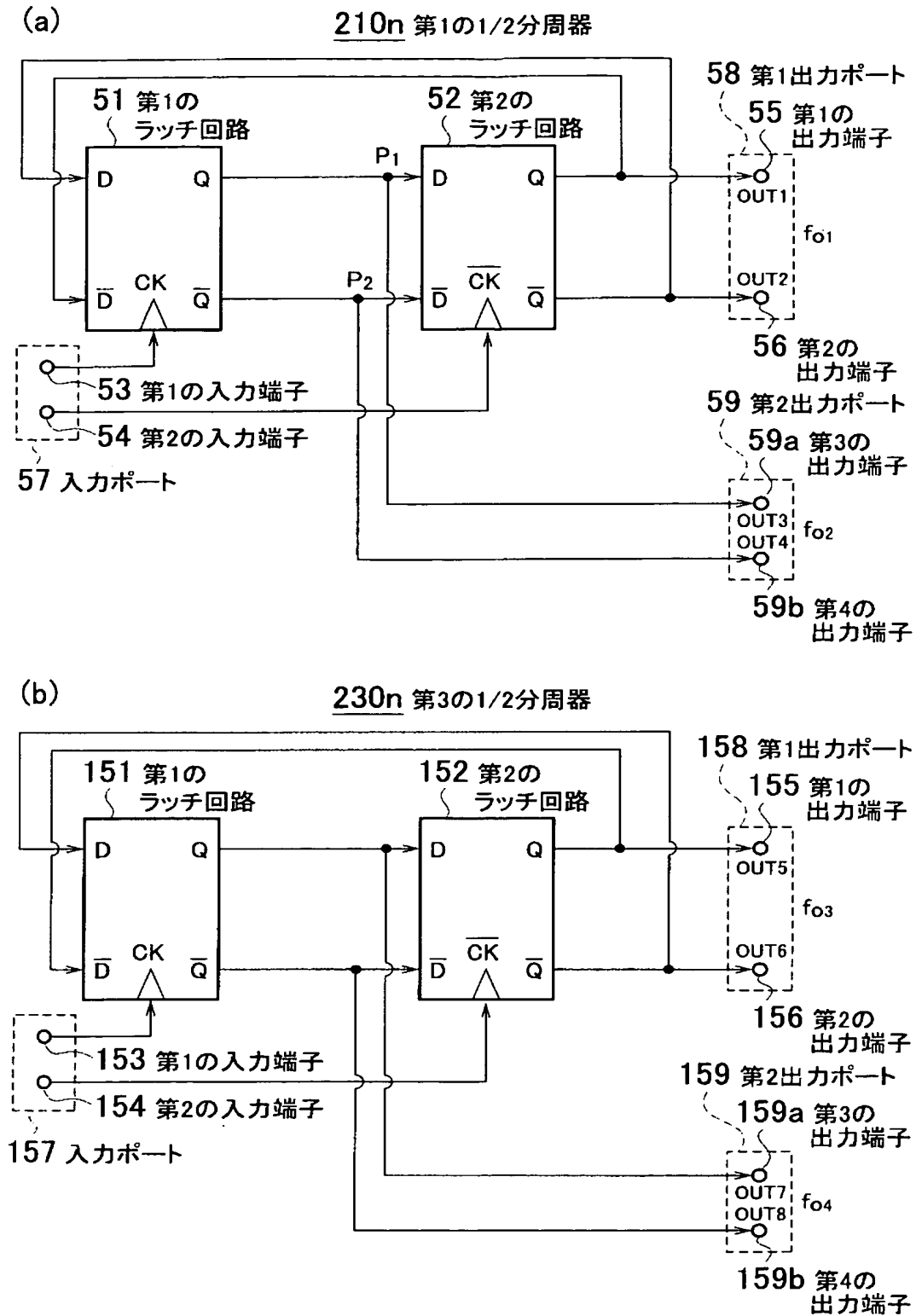


【図 4】

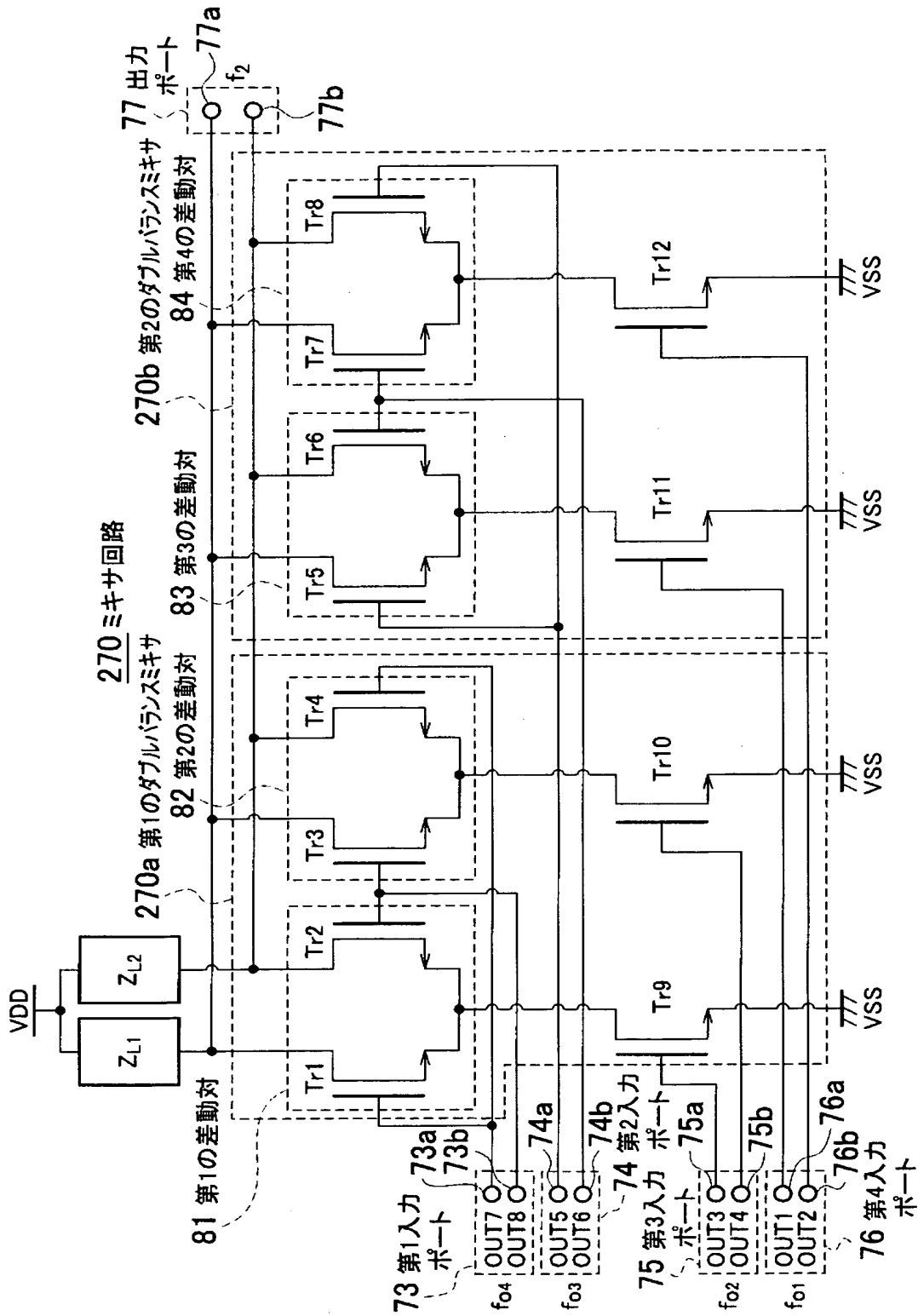


210a~210n: 第1の1/2分周器
 220a~220m: 第2の1/2分周器
 230a~230n: 第3の1/2分周器

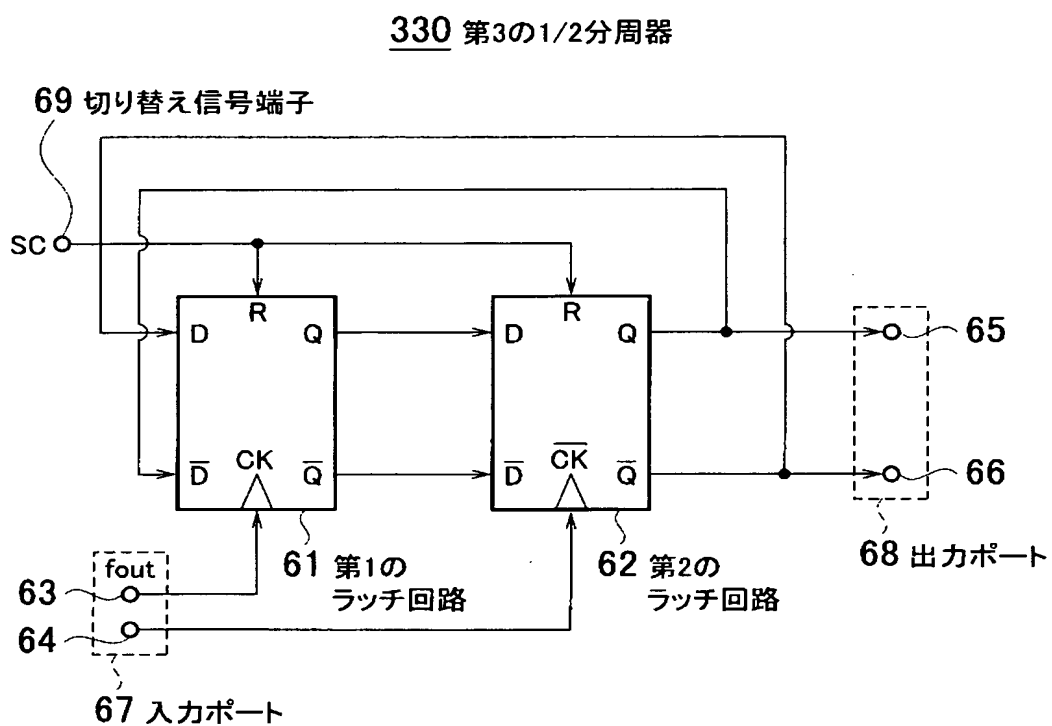
【図 5】



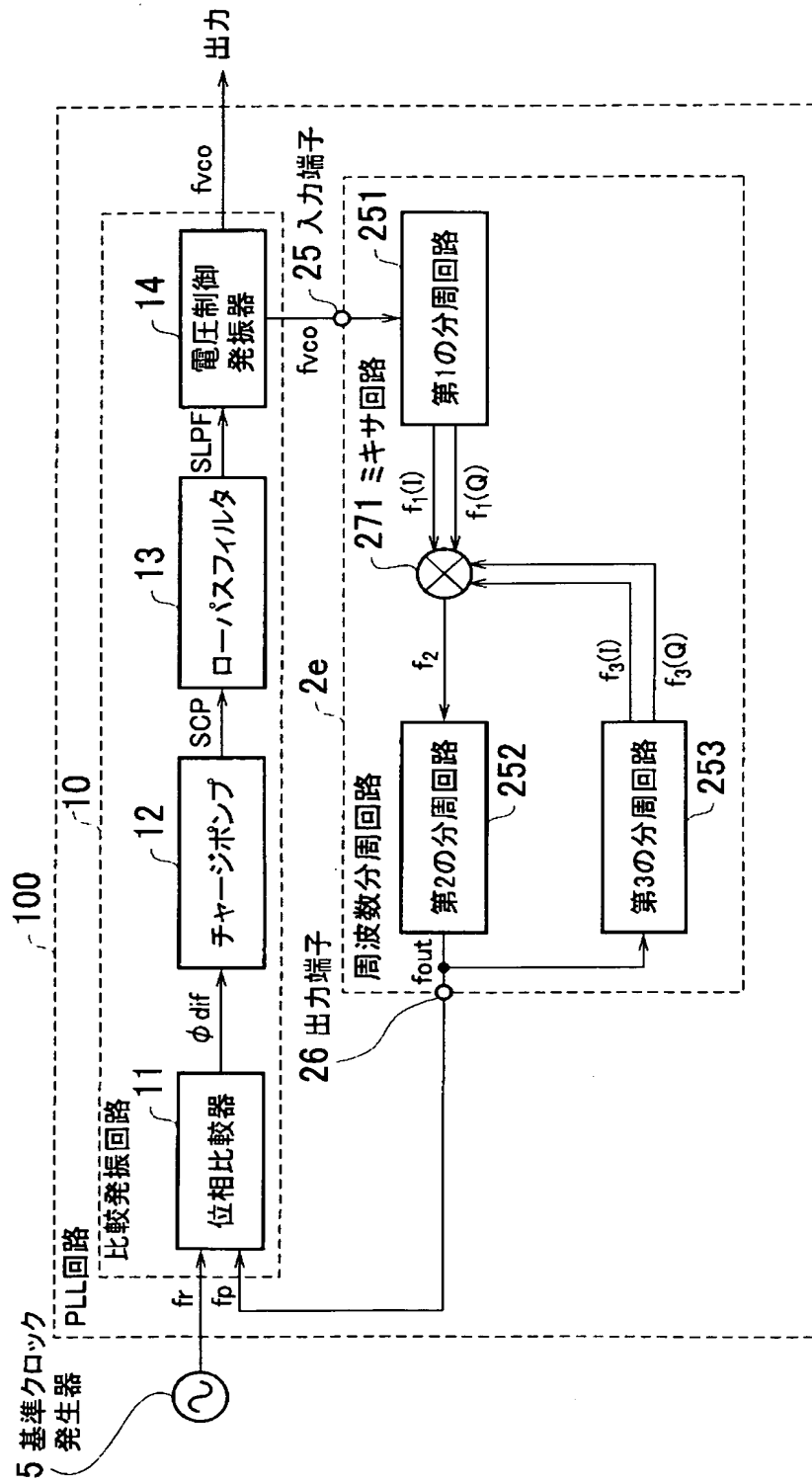
【図 6】



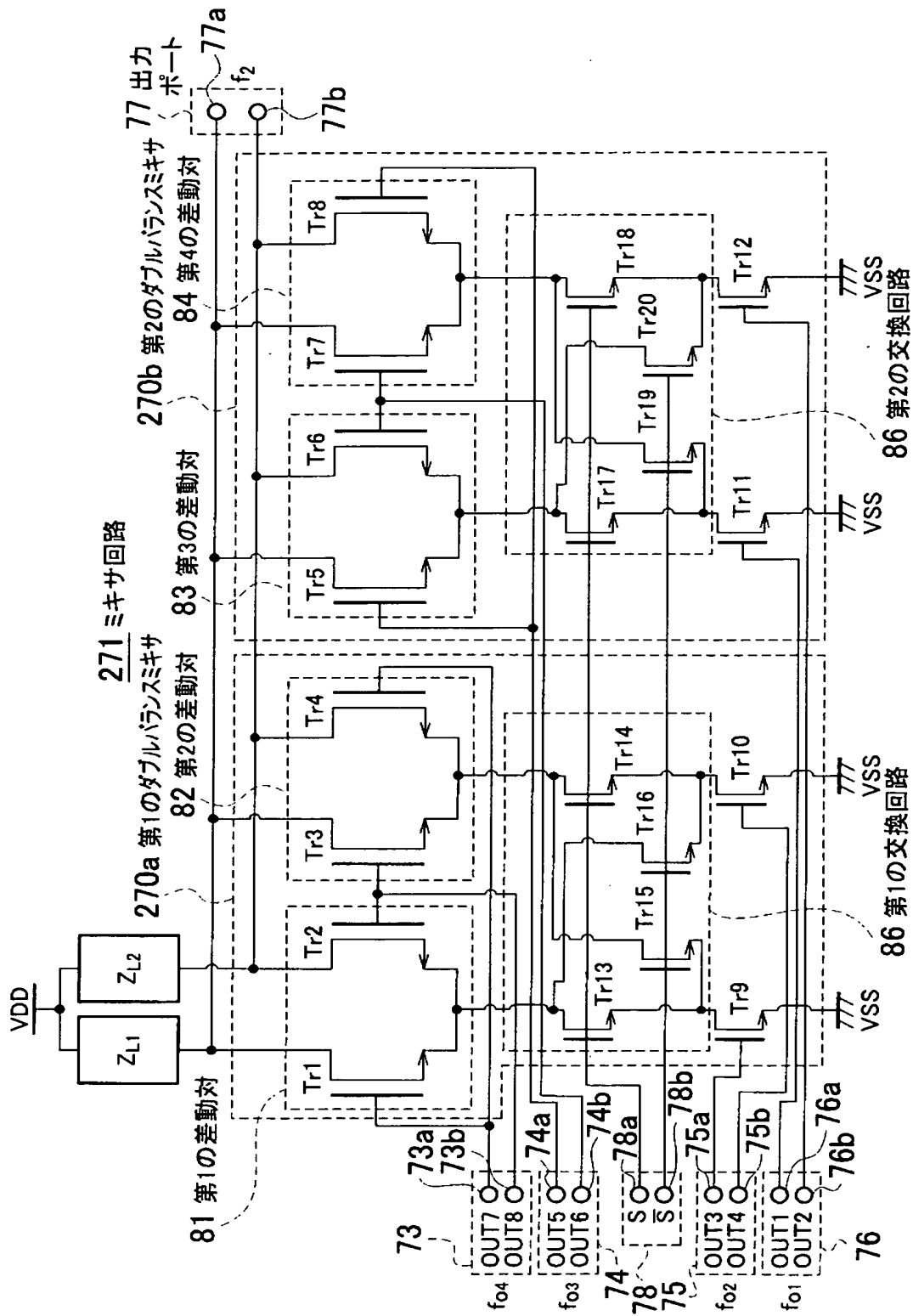
【図 8】



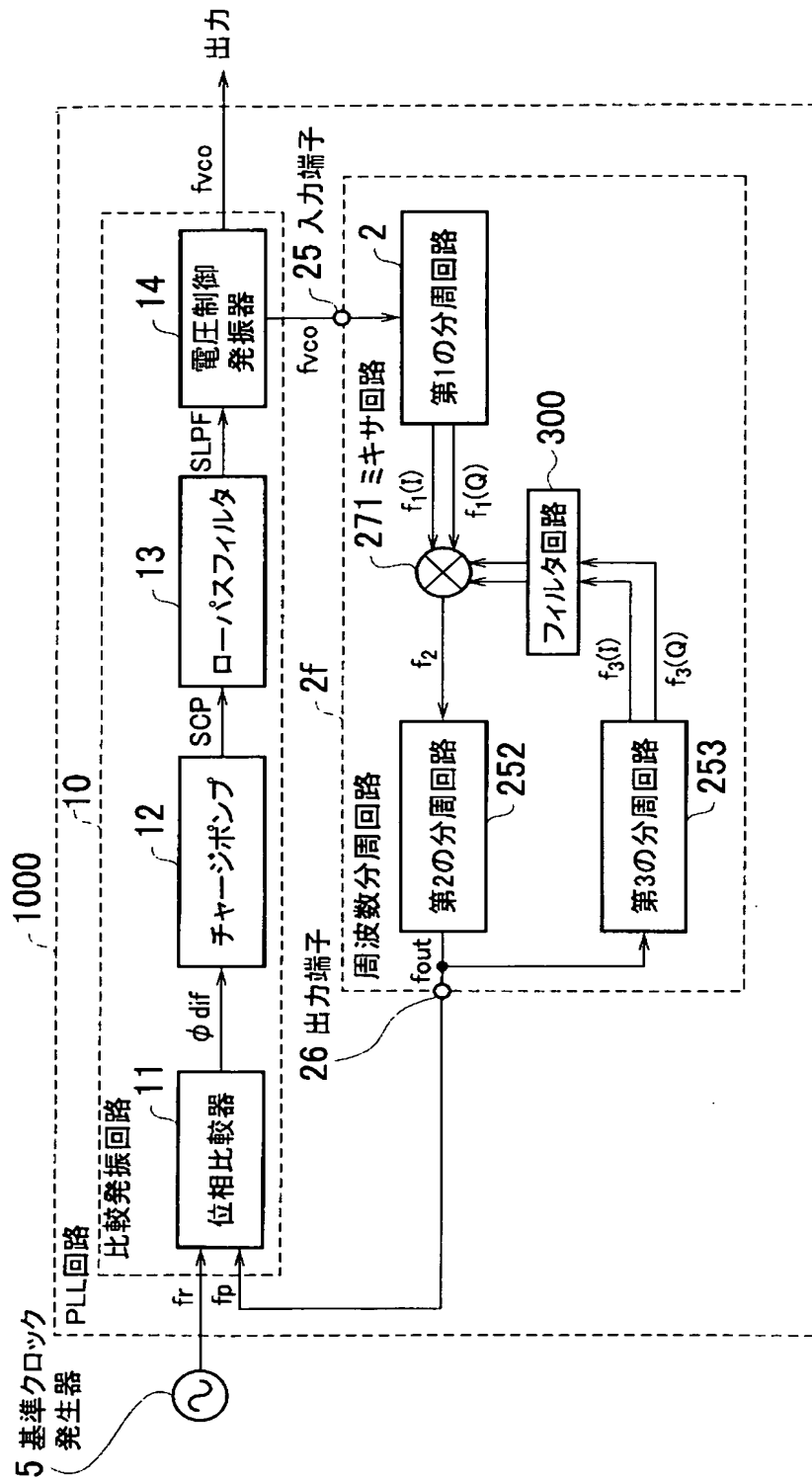
【図 9】



【図10】

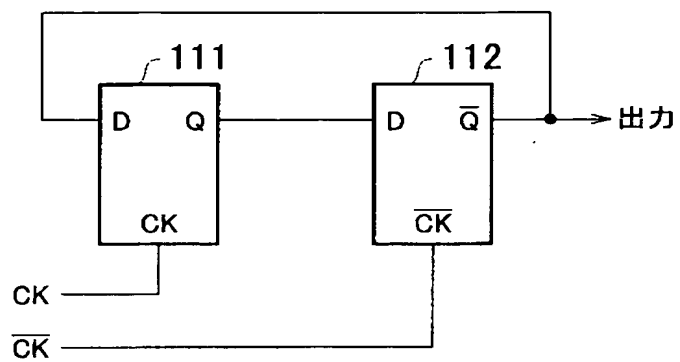


【図 11】

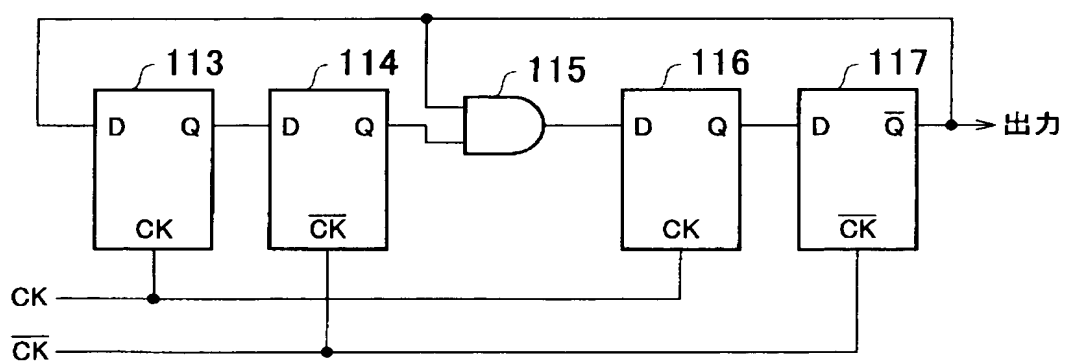


【図 13】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 高速に動作し、スイッチングノイズが発生せず所望の分周比を得る周波数分周回路、P L L 回路及び半導体集積回路を提供する。

【解決手段】 入力端子 2 5 に接続される第 1 の分周回路 2 1、第 1 の分周回路 2 1 に接続されるミキサ回路 2 7、ミキサ回路 2 7 と出力端子 2 6 との間に接続される第 2 の分周回路 2 2、出力端子 2 6 に入力側が接続され、ミキサ回路 2 7 に出力側が接続される第 3 の分周回路 2 3 を備える周波数分周回路 2 a。

【選択図】 図 1

特願 2 0 0 3 - 0 0 7 5 9 1

出 願 人 履 歴 情 報

識別番号

[5 0 1 2 7 4 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 1 0 日

[変更理由]

新規登録

住 所

宮城県仙台市太白区長町 5 - 3 - 1 - 2 0 0 7

氏 名

株式会社グリニクス